

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-037238

(43)Date of publication of application : 06.02.1996

(51)Int.Cl. H01L 21/8234
H01L 27/088
H01L 27/04
H01L 21/822

(21)Application number : 06-191010

(71)Applicant : HITACHI LTD
HITACHI TOBU
SEMICONDUCTOR LTD

(22)Date of filing : 21.07.1994

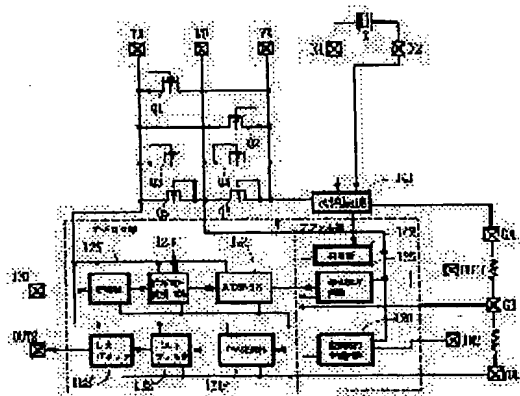
(72)Inventor : TANBA HIROKO
HASE AKIHIRO
OKAZAKI TAKAO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To protect the input MOSFET's in an interface unit by placing between a plurality of power supply terminals both of unidirectional elements that are provided with so high a threshold voltage as to be turned off when power is being normally supplied.

CONSTITUTION: MOSFET's Q1-Q6 with a diode connected are placed between different power supply terminals VA, VD, VX. These MOSFET's Q1-Q6 are provided with so high a threshold voltage that they will not be turned on in ordinary operating condition. This allows a thick field insulating film to be used for gate insulating films; so-called parasitic MOSFET's are used. Thus, the threshold voltage of the n-type aluminum parasitic MOSFET's Q1-Q6 is used, and potential difference between independent power supplies, which may cause the electrostatic breakdown of interface elements between the independent power supplies, is thereby canceled. This avoids the electrostatic breakdown of interface elements.



LEGAL STATUS

[Date of request for examination] 11.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 10.06.2002

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-37238

(43) 公開日 平成8年(1996)2月6日

(51) IntCl.⁵

H01L 21/8234

27/088

27/04

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/08

102 F

27/04

H

審査請求 未請求 請求項の数6 F D (全13頁) 最終頁に続く

(21) 出願番号 特願平6-191010

(22) 出願日 平成6年(1994)7月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(72) 発明者 丹場 裕子

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 長谷 明広

埼玉県入間郡毛呂山町大字旭台15番地 日

立東部セミコンダクタ株式会社内

(74) 代理人 弁理士 徳若 光政

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

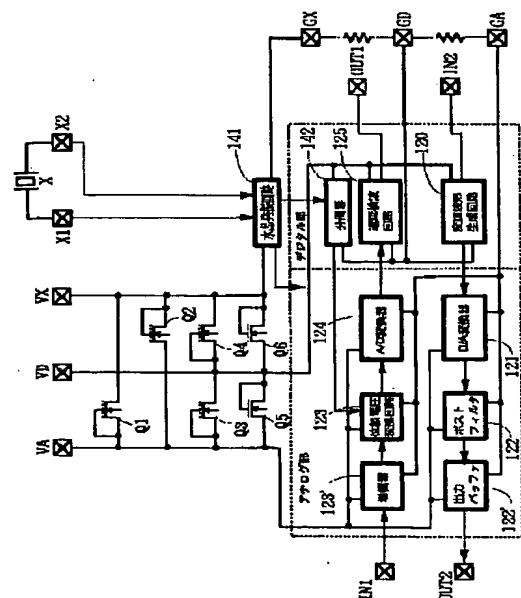
(57) 【要約】

【目的】 高信頼性を図った半導体集積回路装置を提供する。

【構成】 複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路を持つ半導体集積回路装置において、上記複数からなる電源供給端子の相互間にそれぞれ相互に通常の電源供給状態ではオフ状態になるような高いしきい値電圧を持つようにされた一方向性素子を設け、又はかかる電子回路間の信号伝達を行うインターフェイス部の入力MOSFETのゲートに静電破壊防止用の抵抗とダイオードを接続する。

【効果】 半導体集積回路装置のハンドリング時等において各電源端子に静電気により高電圧が印加されても、上記一方向性素子又は上記抵抗とダイオードからなる静電破壊防止回路によりインターフェイス部での静電破壊を防止することができる。

図1



1

【特許請求の範囲】

【請求項 1】 複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路と、上記複数からなる電源供給端子の相互間にそれぞれ設けられ、通常の電源供給状態ではオフ状態になるような高いしきい値電圧を持つようにされた一方向性素子とを備えてなることを特徴とする半導体集積回路装置。

【請求項 2】 上記電子回路は MOSFET により構成されるものであり、上記一方向性素子はゲート絶縁膜がフィールド絶縁膜を利用して形成された寄生 MOSFET のゲートとドレインを接続したものであることを特徴とする請求項 1 の半導体集積回路装置。

【請求項 3】 上記寄生 MOSFET のゲート電極は、アルミニウム配線を利用して形成されるものであることを特徴とする請求項 2 の半導体集積回路装置。

【請求項 4】 複数の独立した電源供給端子から動作電圧がそれぞれ供給され、MOSFET により構成された電子回路と、かかる電子回路の間で信号の伝達を行うインターフェイス部とを備え、上記インターフェイス部の入力側に位置する MOSFET のチャネル長を大きくするとともにシングルドレイン構造として信号伝達経路に抵抗素子を設けてなることを特徴とする半導体集積回路装置。

【請求項 5】 複数の独立した電源供給端子から動作電圧がそれぞれ供給され、MOSFET により構成された電子回路と、かかる電子回路の間で信号の伝達を行うインターフェイス部とを備え、上記インターフェイス部の入力側に位置する MOSFET のゲートに電源側又は回路の接地電位側の少なくとも一方に静電破壊用の保護ダイオードを設けるとともに、信号伝達経路に抵抗素子を設けてなることを特徴とする半導体集積回路装置。

【請求項 6】 上記インターフェイス部の入力側に位置する MOSFET と保護ダイオードを構成する MOSFET は、そのチャネル長を大きくするとともにシングルドレイン構造にされるものであることを特徴とする請求項 5 の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置に関し、複数の電源端子からそれぞれに電源供給が行われる複数の電子回路を備えたものに利用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の静電破壊は、半導体集積回路装置のハンドリング時、あるいはプリント基板に実装した後に起こる静電気の放電により発生する。静電破壊の種類には、MOSFET（本願においては絶縁ゲート型電界効果トランジスタの意味で用いている。）のゲート酸化膜破壊、接合破壊、配線容断があ

2

り、これら 3 つの主原因の最も弱い部分が半導体集積回路装置の静電気破壊耐圧を決定する。従来の静電破壊対策としては、ゲート酸化膜破壊に対しては、高電圧が印加されても、半導体集積回路装置の内部で直接ゲート酸化膜に破壊耐圧以上の電圧が印加されない回路構成をとる方法、例えばパット（外部端子）から半導体集積回路装置の内部に接続される信号線に、抵抗を配置したり、信号線と電源間及び、GND 間にダイオードを配置する方法等がある。接合破壊に対しては、接合部の面積及び、コンタクト配置等のレイアウトパターンによる対策等があり、配線容断に対しては、配線幅拡張等の方法が用いられている。上記のような静電破壊防止技術に関しては、特公昭 50-36154 号公報がある。

【0003】

【発明が解決しようとする課題】 本願発明者等においては、アナログ回路とデジタル回路とが混在した半導体集積回路装置を開発する際に、デジタル回路側からアナログ回路側に電源供給線や回路の接地電位を通してスイッチングノイズがのることを防止するために、それぞれに独立した外部端子から電源供給を行うようにする方式を採用した。このような半導体集積回路装置に対して、人体モデル（HBM）法による静電破壊試験を行ったところ、内部回路に不良が発生する現象に遭遇した。上記内部回路の不良を詳細に調査したところ、デジタル回路とアナログ回路間又はアナログ回路とデジタル回路間のインターフェイス部において、予期しない入力側 MOSFET のゲート絶縁破壊が発生することを見出した。

【0004】 この発明の目的は、高信頼性を図った半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路を持つ半導体集積回路装置において、上記複数からなる電源供給端子の相互間に通常の電源供給状態ではオフ状態になるような高いしきい値電圧を持つようにされた一方向性素子をそれぞれ相互に設ける。

【0006】

【作用】 上記した手段によれば、半導体集積回路装置のハンドリング時等において各電源端子に静電気により高電圧が印加されても、上記一方向性素子により放電させられるのでインターフェイス部の入力 MOSFET の保護ができる。

【0007】

【課題を解決するための手段】 本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれ

3

ば、下記の通りである。すなわち、複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路を持つ半導体集積回路装置において、上記電子回路間の信号伝達を行うインターフェイス部の入力 MOSFET のゲートに静電破壊防止用の抵抗とダイオードを接続する。

【0008】

【作用】上記した手段によれば、半導体集積回路装置のハンドリング時等において各電源端子に静電気により高電圧が印加されても、上記抵抗とダイオードからなる静電破壊防止回路によりインターフェイス部の入力 MOSFET のゲート破壊防止ができる。

【0009】

【実施例】図 12 には、この発明が適用される半導体集積回路装置を含む携帯用通信端末装置の一実施例のブロック図が示されている。この実施例の携帯用通信端末装置は、大きく分けると音声符号部、位相変復調部及び高周波部と、それを制御するマイクロコンピュータ等から構成される。この発明が適用される上記半導体集積回路装置は、かかる携帯用通信端末装置における位相変復調部を構成するものである。

【0010】この実施例の携帯用通信端末装置は、音声符号化復号化部（音声符号部と記す）101、位相変復調部 102、及び高周波部 103 により構成される。そして、これら各部 101~103 の動作順序や回路活性、非活性などがマイクロコンピュータ 180、リセット信号発生回路 190、クロック発生回路 140 からの信号又はパルスにて制御される。音声符号部 101、位相復調部 102、高周波部 103 の各電源は、レギュレータ 170、レギュレータ 171 により供給され、特に高周波部 103 は、バースト動作等を考慮して独立したレギュレータ 171 を用いるようにしている。

【0011】この発明が適用される半導体集積回路装置の例としての位相変復調部 102 は、デジタル回路とアナログ回路とが混在して 1 つの半導体集積回路装置に形成される。つまり、デジタル信号処理を行う位相変調器 120 及び位相復調器 125 から成るデジタル部と、アナログ信号処理を行う D/A 変換器 121-1、121-2（D/A と記す）、フィルタ 122-1、122-2、A/D 変換器 124、位相/電圧変換器 123 及びオフセット調整回路 126 から成るアナログ部で構成される。

【0012】音声符号部 101 は、マイクロフォン 110 から入力された送信アナログ音声信号のうち高域雑音成分を抑制するプレフィルタ 111、その出力をデジタル信号に変換する A/D 変換器 112、その出力をデジタル信号処理によって帯域圧縮し、また上記とは逆に、帯域圧縮された受信デジタル音声信号をもとの帯域に伸長するための DSP（デジタル・シグナル・プロセッサ）113、DSP 113 で帯域伸長された出力をアナ

4

ログ音声信号に変換する D/A 変換器 114、その出力に含まれる高周波成分を抑圧しかつその出力を増幅するためのポストフィルタ 115、このポストフィルタ 115 の出力によって駆動されるスピーカ 116 などによって構成される。

【0013】位相変復調部 102 は、前記 DSP 113 から出力される信号に対して無線電送に適した変調、例えばガウシアン、ミニマム、シフト、キーイング（GMSK; Gaussian Minimum Shift Keying）変調または $\pi/4$ シフト、キュー・ビー・エス・ケイ（QPSK）変調などを行なう位相変調器 120、位相変調器 120 の出力をアナログ信号に変換する D/A 変換器 121-1、121-2、その出力に含まれる高周波成分を抑圧するポストフィルタ 122-1、122-2、及び上記とは逆に受信変調信号に含まれる位相のずれを検出して電圧に変換する位相電圧変換器 123、かかる位相電圧変換器 123 の出力をデジタル信号に変換する A/D 変換器 124、この A/D 変換器 124 の出力から元の基本信号成分を復調する位相復調器 125 などによって構成される。オフセット調整回路 126 は、D/A 変換器 121-1 及び 121-2 とフィルタ 122-1 と 122-2 間に発生するオフセットを調整するために設けられる。

【0014】上記の位相変調器 120、D/A 変換器 121-1、121-2、及びポストフィルタ 122-1、122-2 は、システムの構成に応じて、互いに正相及び逆相の信号出力を行なうために、あるいは 90° の位相差、すなわち直交した信号出力を行なうために並列に複数組設けられる。

【0015】高周波部 103 は、ポストフィルタ 122-1、122-2 から出力される信号を、例えば 800 MHz から 2 GHz 程度の無線周波数キャリア信号で変調するための直交変調器 130、この直交変調器 130 の出力を所定の送信電力にまで増幅し、送受信切換スイッチ 131 を介してアンテナ 132 を防振するための高電力増幅器 133、前記アンテナ 132 及びその増幅器 134 の出力から所望の信号を検波するための検波器 135 などから構成される。

【0016】上記の直交変調器 130 は、システムの構成に応じて、例えば 455 KHz や 90 MHz 程度のやや低い周波数で変調した後、所定の 800 MHz から 2 GHz 程度の無線周波数キャリア信号で変調する等の、複数段に分けた構成がなされることがある。

【0017】この様なデジタル部、アナログ部を 1 チップの半導体集積回路装置（LSI）で構成するデジタル/アナログ混載 LSI では、デジタル部の動作等で発生する雑音がアナログ部の特性を劣化させるため、基板上ではレギュレータを分流した単一電源で、電源電圧が同じであっても、デジタル部、アナログ部のそれぞれ別電源端子（パット）を設け、LSI 内部で電源供給線を分

5

離し、また図には示さないが接地電位も電源供給線と同様に扱い雑音対策を行う必要がある。

【0018】この様なデジタル／アナログ混載LSIの静電破壊対策については、上記従来方法では、単一電源となる基板実装時は有効と考えられる。しかし、ハンドリング時を想定した信頼性試験（静電破壊試験）において、前述したように分離した電源端子間及び、電源接地間の差電位により、独立した電源間の信号線に接続する素子の破壊、すなわち、内部ブロック間インターフェイス素子の破壊が発生する事を確認した。

【0019】この破壊経路について図13（A）と

（B）を用いて詳細に説明する。図13（A）は、独立した電源端子間（VDD1、VDD2）のインターフェイス部を示したものであり、Pチャンネル型出力MOSFETQ20とNチャンネル型出力MOSFETQ21と、Pチャンネル型入力MOSFETQ22とNチャンネル型入力MOSFETQ23と、上記出力MOSFETQ20、Q21の共通接続されたドレインと、入力MOSFETQ22とQ23の共通化されたゲートとの間を接続する信号伝送経路としての配線から構成される。

【0020】図13（B）には、上記インターフェイス部の概略素子構造断面図を示したものである。例えば、回路の接地電位GND1及びGND2がオープン状態でVDD2を基準電位とし、VDD1に静電気により過電圧が印加された場合、MOSFETQ20が形成されるウェルNWELとドレインとの寄生容量C1、ウェルNWELと基板（P-SUBDTRATE）との寄生容量C2によって信号伝達経路としての配線及び基板の電圧が上記VDD1に伴って上昇するため、Pチャンネル型入力MOSFETQ22又はNチャンネル型入力MOSFETQ23のゲート酸化膜にかかる過電圧が印加されることとなり、静電破壊してしまう。また、VDD2、GND1をオープン状態でGND2を基準電位とし、VDD1に過電圧が印加された場合も同様にPチャンネル型入力MOSFETQ22又はNチャンネル型入力MOSFETQ23のゲート酸化膜が破壊されてしまう。

【0021】図1には、この発明に係る半導体集積回路装置の一実施例のブロック図が示されている。同図の半導体集積回路装置は、デジタル／アナログ混載LSIであり、前記図12の位相変復調部102を構成する。

【0022】この実施例の携帯通信端末用モデルLSIでは、デジタル部及び水晶発振回路からアナログ部への雑音干渉を避けるために、次のような3つの独立電源端子を持つようにされる。アナログ電源端子VAは、増幅器123'、位相電圧変換回路123、A/D変換器124、D/A変換器121、ポストフィルタ122及び出力バッファ122'に電源を供給する。デジタル電源端子VDは、分周器142、遅延検波回路125及び変調波形成回路120に電源を供給する。クリスタル電源端子VXは、水晶発振回路141に電源を供給する。

6

【0023】上記のような電源端子VA、VD及びVXに対応して、回路の接地電位を供給する接地端子もGA、GV及びGXのようにそれぞれ独立した外部端子を介して回路の接地電位が供給される。

【0024】この実施例では、上記異なる電源端子VA、VD、VXの相互間にダイオード接続されたMOSFETQ1～Q6が設けられる。これらのMOSFETQ1～Q6は、後述するように通常の動作状態ではオン状態にされないような高いしきい値電圧を持つようにされる。特に制限されないが、ゲート絶縁膜として厚い厚さのフィールド絶縁膜を用いるようにし、いわゆる寄生MOSFETを利用するものである。例えば、上記のようにゲート絶縁膜がフィールド絶縁膜により構成され、ゲートがアルミニウム層から構成されるMOSFET（以下、N型アルミ寄生MOSFETという）が用いられる。

【0025】例えば、アナログ電源端子VAを基準にデジタル電源端子VDに正極の高電圧が印加された場合、かかる印加電圧がN型アルミ寄生MOSFETQ5のスレッシュホールド電圧を越えると、N型アルミ寄生MOSFETQ5はオン状態となり、アナログ電源端子VAとデジタル電源端子VDを導通させ、負極の高電圧が印加された場合は、N型アルミ寄生MOSFETQ3がオン状態となり、アナログ電源端子VAとデジタル電源端子VDを導通させることでアナログ電源端子VAーデジタル電源端子VD間の電位差をキャンセルし、アナログーデジタル電源間インターフェース素子の静電破壊を回避する。逆に、デジタル電源端子VDを基準にアナログ電源端子VAに正極の高電圧が印加されると、N型アルミ寄生MOSFETQ3がオン状態となり、負極の高電圧が印加された場合は、N型アルミ寄生MOSFETQ5がオン状態となってアナログ電源端子VAとデジタル電源端子VD間の電位差をキャンセルする。

【0026】デジタル電源端子VDを基準にクリスタル電源端子VXに正極の高電圧が印加されると、N型アルミ寄生MOSFETQ6がオン状態となり、負極の高電圧が印加された場合は、N型アルミ寄生MOSFETQ4がオン状態となってデジタル電源端子VDークリスタル電源端子VX間の電位差をキャンセルする。逆に、クリスタル電源端子VXを基準にデジタル電源端子VDに正極の高電圧が印加されると、N型アルミ寄生MOSFETQ4がオン状態となり、負極の高電圧が印加された場合は、N型アルミ寄生MOSFETQ6がオン状態となってデジタル電源端子VDークリスタル電源端子VX間の電位差をキャンセルする。

【0027】クリスタル電源端子VXを基準にアナログ電源端子VAに正極の高電圧が印加されると、N型アルミ寄生MOSFETQ1がオン状態となり、負極の高電圧が印加された場合は、N型アルミ寄生MOSFETQ2がオン状態となってアナログ電源端子VAークリスタ

ル電源端子V X間の電位差をキャンセルする。逆に、アナログ電源端子V Aを基準にクリスタル電源端子V Xに正極の高電圧が印加されると、N型アルミ寄生MOSFET Q 2がオン状態となり、負極の高電圧が印加された場合は、N型アルミ寄生MOSFET Q 1がオン状態となってアナログ電源端子V A-クリスタル電源端子V X間の電位差をキャンセルする。

【0028】この様に、N型アルミ寄生MOSFET Q 1ないしQ 6のスレッシュホールド電圧を利用し、独立電源間インターフェース素子の静電破壊の要因となる独立電源間の電位差をキャンセルすることで、インターフェース素子の静電破壊を回避する。同図においては、3つの独立電源であるアナログ電源系-デジタル電源系、クリスタル電源系-デジタル電源系、クリスタル電源系-デジタル電源系でインターフェースを有するものを例としたが、複数の独立電源であり、その独立電源間インターフェースを有するものであれば、電源端子、グランド端子、入出力端子の構成は、特に制限されない。

【0029】半導体集積回路の製造技術の進展により、素子の素子の微細化が進められており、内部回路に用いられるMOSFETの耐圧電圧は小さくなる傾向にあること、及び1つの半導体基板上に複数の電子回路が混在して設けられ傾向にあることから、従来では問題にならなかった内部の電子回路間のインターフェイス部での素子破壊が重要な問題になると予測される。このため、この発明の適用によってこれらの問題を確実に解決することができるようになるものである。

【0030】なお、増幅器123'は、図12では省略されているが位相/電圧比較器123の入力部に含まれる入力バッファを構成するものであると理解されたい。また、同様に出力バッファ122'は図12では省略されているが、フィルタ122-1と122-2の出力部に含まれると理解されたい。他の構成は、前記図12と対応されている。

【0031】図2には、上記アルミ寄生MOSFETの一実施例の概略構造断面図が示されている。(A)には、N型アルミ寄生MOSFETが示され、(B)にはP型アルミ寄生MOSFETが示されている。(A)のN型アルミ寄生MOSFETは、P型基板(P-SUBSTRATE)にN⁺のソース、ドレインを形成し、その間のフィールド絶縁膜(450~500nm)及び層間絶縁膜(400~500nm)をゲート絶縁膜としてアルミゲートを形成するものである。かかるアルミゲートはドレインとされる拡散層と接続されることにより、ダイオード形態に接続させるものである。(B)のP型アルミ寄生MOSFETは、P型基板(P-SUBSTRATE)にN型ウェルNWELを形成し、かかるウェルNWELにP⁺のソース、ドレインを形成するものであり、他の構成は(A)と同様である。

【0032】図3には、上記寄生MOSFETの他の一

実施例の概略構造断面図が示されている。(A)には、N型寄生MOSFETが示され、(B)にはP型寄生MOSFETが示されている。(A)のN型寄生MOSFETは、しきい値電圧を大きくするために、N⁺のソース、ドレイン間のP型基板上に通常のMOSFETのゲート絶縁膜(20nm)に比べて十分に厚くされたゲート酸化膜を形成し、かかるゲート酸化膜上にポリ(POLY)シリコンゲートを形成し、アルミニウム配線によりドレインとかかるゲート電極を接続してダイオード形態にするものである。(B)のP型寄生MOSFETは、上記P型基板(P-SUBSTRATE)にN型ウェルNWELを形成し、かかるウェルNWELにP⁺のソース、ドレインを形成するものであり、他の構成は(A)と同様である。

【0033】図4には、上記寄生MOSFETの更に他の一実施例の概略構造断面図が示されている。(A)には、P型寄生MOSFETが示され、(B)にはN型寄生MOSFETが示されている。(B)のN型寄生MOSFETは、P型基板(P-SUBSTRATE)にN⁺のソース、ドレインを形成し、その間のフィールド絶縁膜(450~500nm)をゲート絶縁膜として利用し、かかるゲート酸化膜上にポリ(POLY)シリコンゲートを形成し、アルミニウム配線によりドレインとかかるゲート電極を接続してダイオード形態にするものである。(A)のP型寄生MOSFETは、P型基板(P-SUBSTRATE)にN型ウェルNWELを形成し、かかるウェルNWELにP⁺のソース、ドレインを形成するものであり、他の構成は(B)と同様である。

【0034】上記の実施例では省略されているが、デジタル回路やアナログ回路を構成するPチャンネル型MOSFET及びNチャンネル型MOSFETは、特に説明しない限り、一般的なLDD構造とし、ゲート酸化膜(20nm)上-POLYシリコンゲート(200nm)-層間絶縁膜(400~500nm)-アルミニウム配線等で形成され、そのスレッシュホールド電圧はおよそ0.7Vである。前記実施例のP型アルミ寄生MOSFET及びN型アルミ寄生MOSFET、P型POLYシリコン寄生MOSFET、N型POLYシリコン寄生MOSFETは、フィールド酸化膜や厚い厚さのゲート絶縁膜上にアルミニウムやPOLYシリコンでゲートを形成するが、その本意はクランプMOSとなるP型寄生MOSFET及びN型寄生MOSFETのスレッシュホールド電圧が通常の電源電圧より絶対的に大きくするところであり、このクランプMOSのスレッシュホールド電圧を利用して通常動作時は独立した電源を保持し、静電気等による大きな差電位が生じた時のみクランプMOSを動作させる事にある。よって図2ないし図4に示す様に、フィールド酸化膜上やゲート酸化膜を厚くすることによってスレッシュホールド電圧が上記のように大きく

されればよい。

【0035】上記図2ないし図4の、P型寄生MOSFETは、図1のN型寄生MOSFETに代えて同様に使用することができる。あるいは、N型寄生MOSFETとP型寄生MOSFETとを組み合わせ用いるものであってもよい。

【0036】図5には、この発明に係る半導体集積回路装置におけるインターフェイス部の一実施例の回路図が示されている。同図の各素子は、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。電源電圧VDD1とVDD2は、前記のように異なる電源端子からそれぞれが供給される。これに対応して、回路の接地電位GND1とGND2も前記のようにそれぞれが独立した外部端子から供給される。ただし、回路の接地電位GND1とGND2は、半導体基板や半導体領域等からなる寄生抵抗R2により内部で相互に接続されている。

【0037】Pチャンネル型MOSFETQ10とNチャンネル型MOSFETQ11は、インターフェイス部の出力回路を構成するCMOSインバータ回路である。つまり、電源電圧VDD1により動作させられる電子回路のうち、その信号を電源電圧VDD2により動作させられる電子回路に供給する出力信号を形成する回路である。このような出力回路を構成するMOSFETQ20とQ21は、後述するようなLDD構造とされる。

【0038】上記のような出力回路に対応して設けられるインターフェイス部の入力回路は、前記のような静電破壊防止のために、信号伝送経路に抵抗R1が設けられる。そして、入力回路を構成するPチャンネル型MOSFETQ12とNチャンネル型MOSFETQ13の静電破壊防止のために、かかるMOSFETQ12とQ13はシングルドレイン構造にされる。つまり、他の内部回路が上記のようにLDD構造であるにもかかわらず、入力インターフェイス回路を構成するMOSFETは、シングルドレイン構造とし、特に制限されないが、チャンネル長も上記出力MOSFETQ10やQ11に比べて長く形成されることによって高耐圧化される。

【0039】図6には、上記インターフェイス部の一実施例の概略素子構造断面図が示されている。出力回路を構成するPチャンネル型MOSFETQ10は、N型ウェル領域NWELに形成され、Nチャンネル型MOSFETQ11はP型基板(P-SUBSTRATE)に形成される。そして、これらのMOSFETQ10とQ11はLDD構造とされる。入力回路を構成するPチャンネル型MOSFETQ12は、N型ウェル領域NWELに形成され、Nチャンネル型MOSFETQ13はP型基板(P-SUBSTRATE)に形成される。そして、これらのMOSFETQ12とQ13は高耐圧化のためにシングルドレイン構造とされる。

【0040】例えば、回路の接地線GND1、GND2

をオープン状態とし、電源電圧VDD2を基準に、電源電圧VDD1に高電圧が印加された場合、寄生容量により抵抗R1が接続された信号線の電圧はVDD1の電圧に伴い上昇する。このように出力MOSFETQ10とQ11のゲートには高電圧が印加されないから、通常のMOSFETと同様にLDD構造としている。これに対して、入力MOSFETQ12とQ13は、抵抗R1と寄生容量により高電圧を緩和させるとともにシングルドレイン構造のMOSFETとされることにより接合破壊に対する耐圧を上げ、そのゲート長を大きくする事により、ゲート酸化膜破壊耐圧の向上を実現する。

【0041】図7には、上記インターフェイス部の他の一実施例の構成図が示されている。同図(A)には、回路例が示され、同図(B)にはそれに対応した概略構造断面図が示されている。これらは、公知の半導体集積回路の製造技術により単結晶シリコンのような1個の半導体基板上において形成される。

【0042】この実施例では、入力回路を構成するPチャンネル型MOSFETQ12とNチャンネル型MOSFETQ13の共通接続されたゲートと電源電圧VDD2との間に電圧クランプ用のダイオード形態にされたPチャンネル型MOSFETQ14が設けられ、上記ゲートと回路の接地電位GND2との間にダイオード形態にされた電圧クランプ用のNチャンネル型MOSFETQ15が設けられる。そして、出力回路からの信号を伝える信号伝送路にはN⁺拡散層からなる抵抗R1が設けられる。上記入力MOSFETQ12、Q13及び電圧クランプ用のMOSFETQ14とQ15は、シングルドレイン構造のMOSFETにより構成される。

【0043】例えば、GND1、GND2をオープン状態とし、電源VDD2を基準に、電源VDD1に正極の高電圧が印加された場合は、電源VDD1の電圧上昇に伴い信号伝送路の電圧は上昇するが、P型MOSFETQ14からなる保護ダイオードが順方向に電流を流し、負の高電圧が印加された場合は、上記同様に信号伝送路は電源VDD1に伴い下降するがP型MOSFETQ14からなる保護ダイオードの降伏(ブレイクダウン)により逆方向に電流を流すことで、信号伝送路の電圧をクランプする。また、GND1、VDD2をオープン状態とし、接地電位GND2を基準に、電源VDD1に正極の高電圧が印加された場合は、N型MOSFETQ15からなる保護ダイオードが順方向に電流を流し、負の高電圧が印加された場合は、N型MOSFETQ15の降伏により逆方向に電流を流すことで、信号伝送路の電圧をクランプする。保護抵抗R1により信号伝送路の急峻な電圧の変動を抑えること、及びP型MOSFETQ14とN型MOSFETQ15の上記動作により入力MOSFETQ12とQ13の静電気破壊耐圧の向上を実現することができる。

【0044】図8には、上記インターフェイス部の他の

11

一実施例の回路図が示されている。保護抵抗としてR11とR12及び、電圧クランプ用のMOSFETである保護ダイオードとしてQ14、Q15及びQ16とQ17のように2段設ける事により、静電破壊耐圧のさらなる向上を図るものである。必要に応じて同様な回路の3段以上設けるようにしてもよい。

【0045】図9には、上記インターフェイス部の他の一実施例の回路図が示されている。この実施例では、入力側である電源VDD2系には、電圧クランプ用のMOSFETとしてNチャンネル型MOSFETQ14とQ15を用いる。つまり、前記Pチャンネル型MOSFETQにより構成された保護ダイオードをNチャンネル型MOSFETQにより構成する。これらのクランプ用MOSFETQ14とQ15及び入力用MOSFETQ12とQ13は、シングルドレイン構造のMOSFETにより構成される。

【0046】例えば、GND1、GND2をオープン状態とし、電源VDD2を基準に、電源VDD1に正極の高電圧が印加された場合は、電源VDD1の電圧上昇に伴い信号伝送路の電圧は上昇するが、N型MOSFETQ14からなる保護ダイオードが順方向に電流を流し、負の高電圧が印加された場合は、上記同様に信号伝送路は電源VDD1に伴い下降するがN型MOSFETQ14からなる保護ダイオードの降伏により逆方向に電流を流すことで、信号伝送路の電圧をクランプする。また、GND1、VDD2をオープン状態とし、接地電位GND2を基準に、電源VDD1に正極の高電圧が印加された場合は、N型MOSFETQ15からなる保護ダイオードが順方向に電流を流し、負の高電圧が印加された場合は、N型MOSFETQ15の降伏により逆方向に電流を流すことで、信号伝送路の電圧をクランプする。保護抵抗R1により信号伝送路の急峻な電圧の変動を抑えること、及び上記N型MOSFETQ14とN型MOSFETQ15の上記動作により入力MOSFETQ12とQ13の静電気破壊耐圧の向上を実現することができる。

【0047】以上の回路動作及び、静電破壊に対する効果は、図7の実施例と同様であるが、この実施例の特徴は、電圧クランプ用のMOSFETとしてNチャンネル型MOSFETのみを使用したところにあり、図7に示したように電圧クランプ用MOSFETをCMOSで構成していないため、寄生バイポーラトランジスタがサイリスタを構成する事がない。従って、電圧クランプ用のMOSFETによりラッチアップを起こす事はなく、素子間を離して配置する必要がない。よって、図7のようなCMOSで構成した場合と比較し、レイアウト面積の縮小を実現することができる。

【0048】図10には、上記インターフェイス部の他の一実施例の回路図が示されている。この実施例では、入力側である電源VDD2系には、上記同様に電圧ク

12

ランプ用のMOSFETとしてNチャンネル型MOSFETQ14とQ15を用いる。つまり、前記Pチャンネル型MOSFETQにより構成された保護ダイオードをNチャンネル型MOSFETQにより構成する。これらのクランプ用MOSFETQ14とQ15及び入力用MOSFETQ12とQ13は、シングルドレイン構造のMOSFETにより構成される。そして、保護ダイオードとして前記のようなN型アルミ寄生MOSFETQ16とQ17を併用し、保護ダイオードを構成する事で、静電破壊耐圧のさらなる向上を図るようにするものである。

【0049】図11には、上記インターフェイス部の更に他の一実施例の回路図が示されている。この実施例では、通常動作時に電源電圧が、 $VDD1 > VDD2$ を満足する場合は、電圧クランプ用のMOSFETとしてGND2側のみ接続することにより、静電破壊耐圧の向上及びレイアウト面積の縮小を図るようにするものである。

【0050】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路を持つ半導体集積回路装置において、上記複数からなる電源供給端子の相互間に通常の電源供給状態ではオフ状態になるような高いしきい値電圧を持つようにされた一方向性素子をそれぞれ相互に設けることにより、半導体集積回路装置のハンドリング時等に各電源端子に静電気により高電圧が印加されても、上記一方向性素子により放電させられるのでインターフェイス部の入力MOSFETの保護ができるという効果が得られる。

【0051】(2) 上記電子回路はMOSFETにより構成されるものであり、上記一方向性素子はゲート絶縁膜がフィールド絶縁膜を利用して形成された寄生MOSFETのゲートとドレインを接続したものをを用いることにより、通常の動作状態に影響を与えないで静電気発生時のみ有効に機能させることができるという効果が得られる。

【0052】(3) 複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路を持つ半導体集積回路装置において、上記電子回路間の信号伝達を行うインターフェイス部の入力MOSFETのゲートに静電破壊防止用の抵抗とダイオードを接続することにより、半導体集積回路装置のハンドリング時等において各電源端子に静電気により高電圧が印加されても、上記抵抗とダイオードからなる静電破壊防止回路によりインターフェイス部の入力MOSFETのゲート破壊防止ができるという効果が得られる。

【0053】(4) 半導体集積回路の製造技術の進展

により、素子の素子の微細化が進められており、内部回路に用いられるMOSFETの耐圧電圧は小さくなる傾向にあること、及び1つの半導体基板上に複数の電子回路が混在して設けられ傾向にあることから、これらの電子回路間に設けられるインターフェイス部での静電破壊を上記(1)ないし(3)により防止することができるから、これら半導体集積回路装置の高機能化や大規模化を推進することができるという効果が得られる。

【0054】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記のように電子回路間での雑音干渉をこけるために独立した電源電圧端子を設けるもの他、異なる電源電圧を供給するために電子回路毎に独立した電源電圧端子を設ける構成としてもよいことはいうまでもない。

【0055】また、独立した電源端子間に前記のような寄生ダイオードを設けるとともに、インターフェイス部においても保護回路を設ける構成としてもよい。インターフェイス部の出力MOSFETの電源線又は回路の接地線と基板との間には、ドレイン拡散層等による寄生ダイオードが基板等の間に設けられているので、基板等がフローティングのときには格別な保護回路を必要としない。しかし、基板との間に高電圧が印加されるなら高耐圧素子を用いるようにすればよい。

【0056】この発明は、前記のようなデジタル／アナログ混在LSIの他に、上記のように異なる電源電圧が供給される電子回路が設けられるもの等のように、何らかの理由により、複数の電源電圧端子が設けられ、かかる電源電圧端子から動作電圧が供給される電子回路間で信号電圧が行われるインターフェイス部を持つ各種半導体集積回路装置に広く利用できる。

【0057】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路を持つ半導体集積回路装置において、上記複数からなる電源供給端子の相互間に通常の電源供給状態ではオフ状態になるような高いしきい値電圧を持つようにされた一方向性素子をそれぞれ相互に設けることにより、半導体集積回路装置のハンドリング時等に各電源端子に静電気により高電圧が印加されても、上記一方向性素子により放電させられるのでインターフェイス部の入力MOSFETの保護ができる。

【0058】上記電子回路はMOSFETにより構成されるものであり、上記一方向性素子はゲート絶縁膜がフィールド絶縁膜を利用して形成された寄生MOSFETのゲートとドレインを接続したものをを用いることによ

り、通常の動作状態に影響を与えないで静電気発生時にのみ有効に機能させることができる。

【0059】複数の独立した電源供給端子から動作電圧がそれぞれ供給され、信号伝達を行うインターフェイスを持つ複数からなる電子回路を持つ半導体集積回路装置において、上記電子回路間の信号伝達を行うインターフェイス部の入力MOSFETのゲートに静電破壊防止用の抵抗とダイオードを接続することにより、半導体集積回路装置のハンドリング時等において各電源端子に静電気により高電圧が印加されても、上記抵抗とダイオードからなる静電破壊防止回路によりインターフェイス部の入力MOSFETのゲート破壊防止ができる。

【0060】半導体集積回路の製造技術の進展により、素子の素子の微細化が進められており、内部回路に用いられるMOSFETの耐圧電圧は小さくなる傾向にあること、及び1つの半導体基板上に複数の電子回路が混在して設けられ傾向にあることから、これらの電子回路間に設けられるインターフェイス部での静電破壊を上記により防止することができるから、これら半導体集積回路装置の高機能化や大規模化を推進することができる。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図2】図1のアルミ寄生MOSFETの一実施例を示す概略構造断面図である。

【図3】上記寄生MOSFETの他の一実施例を示す概略構造断面図である。

【図4】上記寄生MOSFETの更に他の一実施例を示す概略構造断面図である。

【図5】この発明に係る半導体集積回路装置におけるインターフェイス部の一実施例を示す回路図である。

【図6】図5のインターフェイス部の一実施例を示す概略素子構造断面図である。

【図7】上記インターフェイス部の他の一実施例を示す構成図である。

【図8】上記インターフェイス部の他の一実施例を示す回路図である。

【図9】上記インターフェイス部の他の一実施例を示す回路図である。

【図10】上記インターフェイス部の他の一実施例を示す回路図である。

【図11】上記インターフェイス部の更に他の一実施例を示す回路図である。

【図12】この発明が適用される半導体集積回路装置を含む携帯用通信端末装置の一実施例を示すブロック図である。

【図13】この発明が解決しようとする課題を説明するための構成図である。

【符号の説明】

50 Q1～Q6, Q16, Q17…寄生MOSFET、Q1

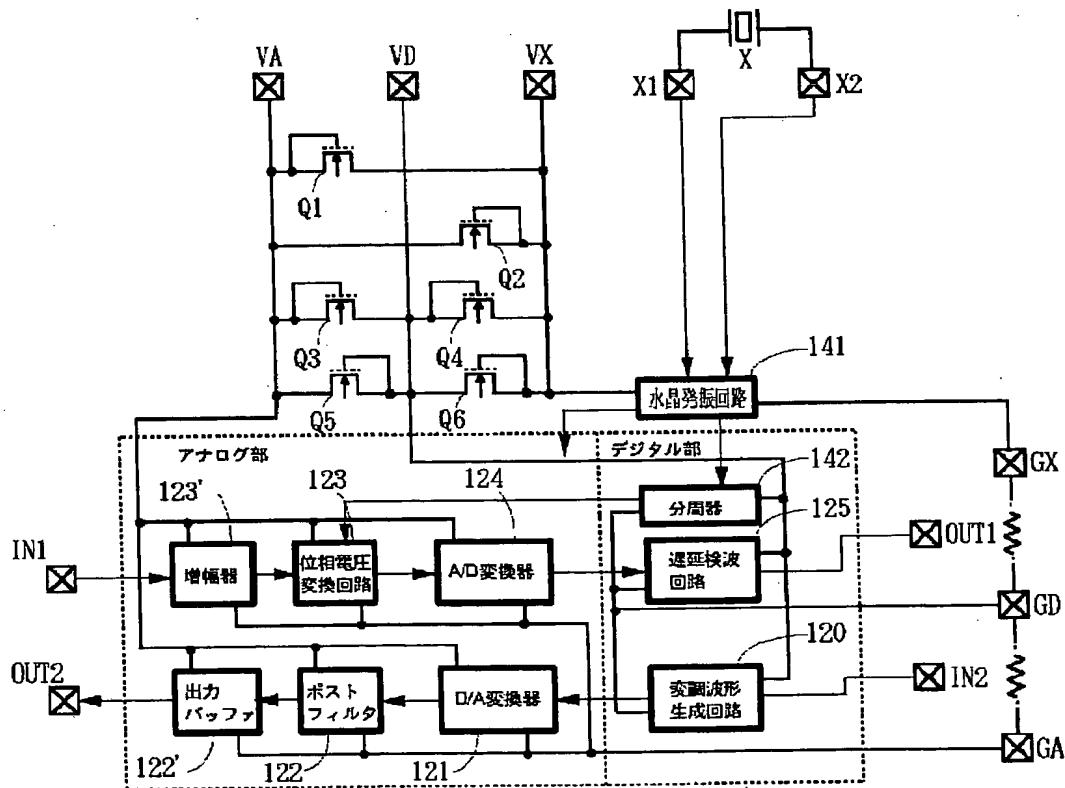
15

0~Q15, Q20~Q23...MOSFET、R1...保護抵抗、VA...アナログ電源端子、VD...デジタル電源端子、VX...クリスタル電源端子、101...音声符号部、102...位相変復調部、103...高周波部、111...プレフィルタ、112...A/D変換器、113...DSP、114...D/A変換器、115...ポストフィルタ、120...位相変調器、121-1、121-2...D/A変換器、122-1、122-2...フィルタ、123...

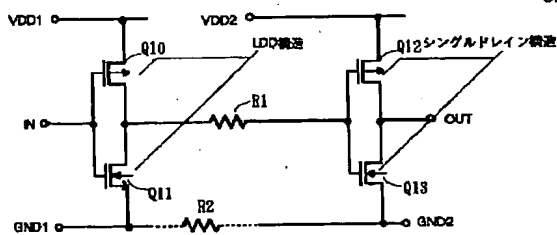
16

位相/電圧変換器、124...A/D変換器、125...位相復調器、130...直交変調器、131...送受信切り替えスイッチ、132...アンテナ、133...高電力増幅器、134...増幅器、135...検波器、140...クロック発生回路、170、171...レギュレータ、180...マイクロコンピュータ、190...リセット信号発生回路。

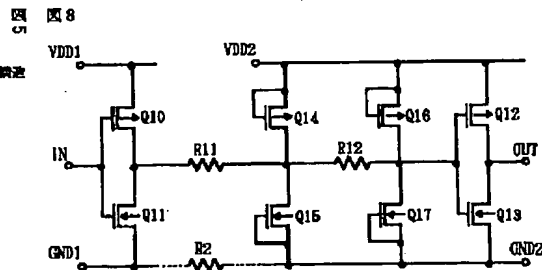
【図1】

図
1

【図5】

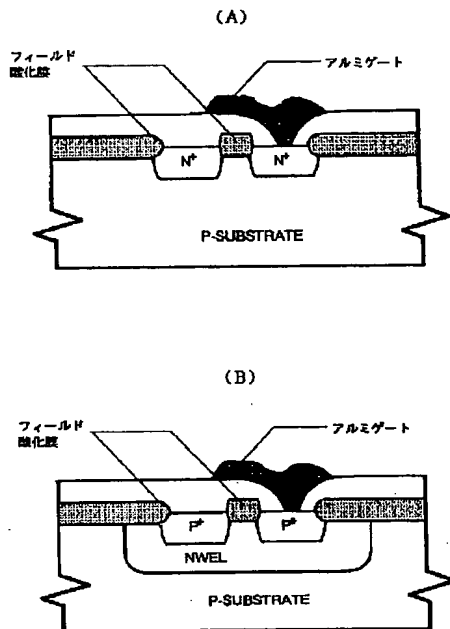


【図8】



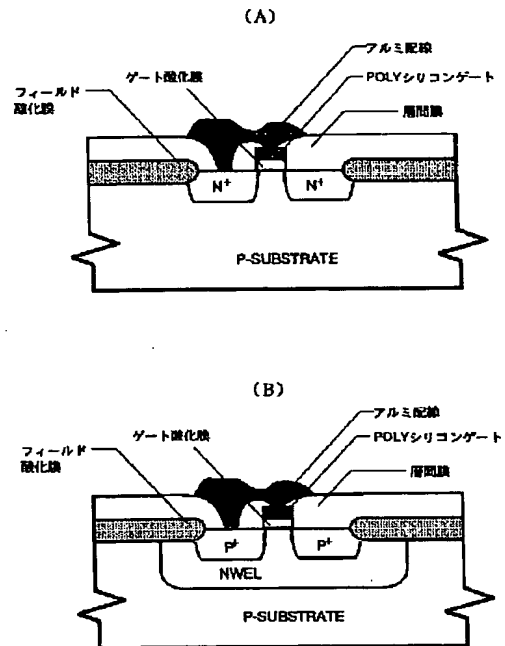
【図 2】

図 2



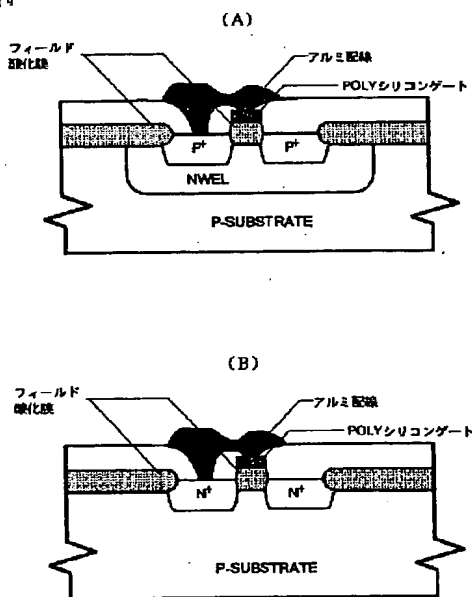
【図 3】

図 3



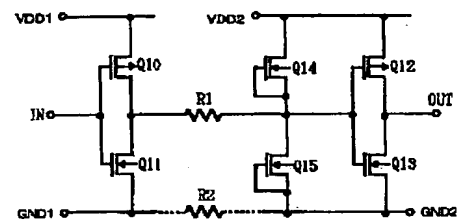
【図 4】

図 4



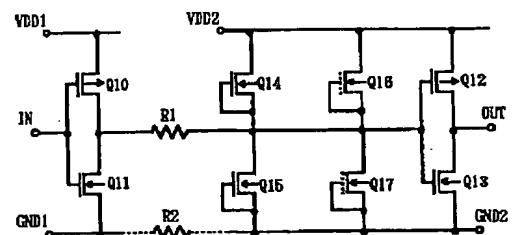
【図 9】

図 9

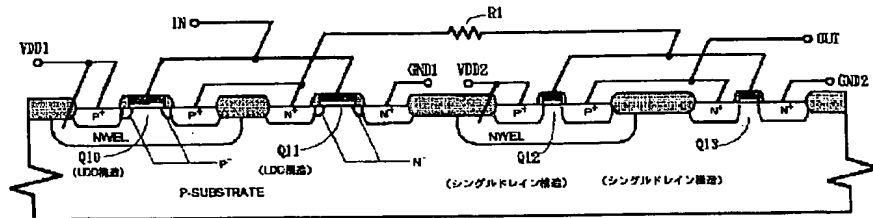


【図 10】

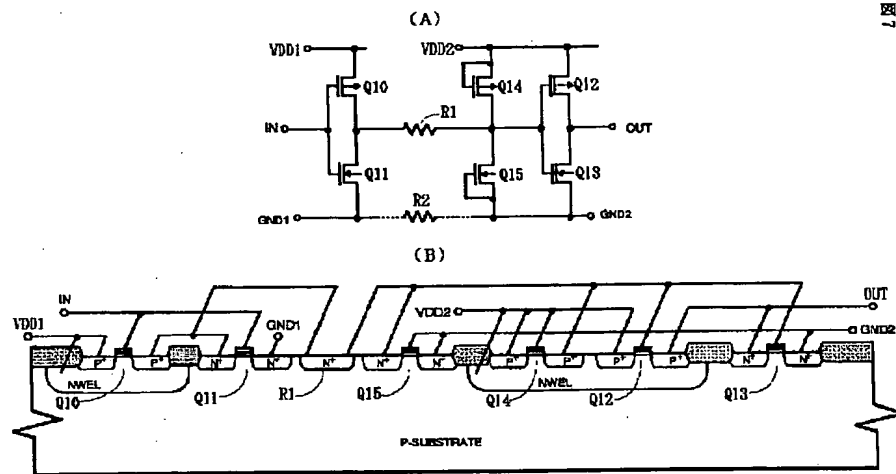
図 10



【図 6】

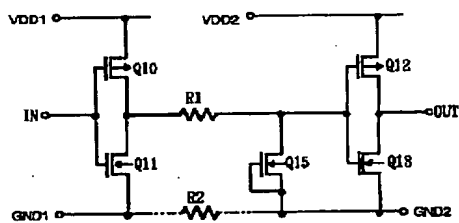


【図 7】



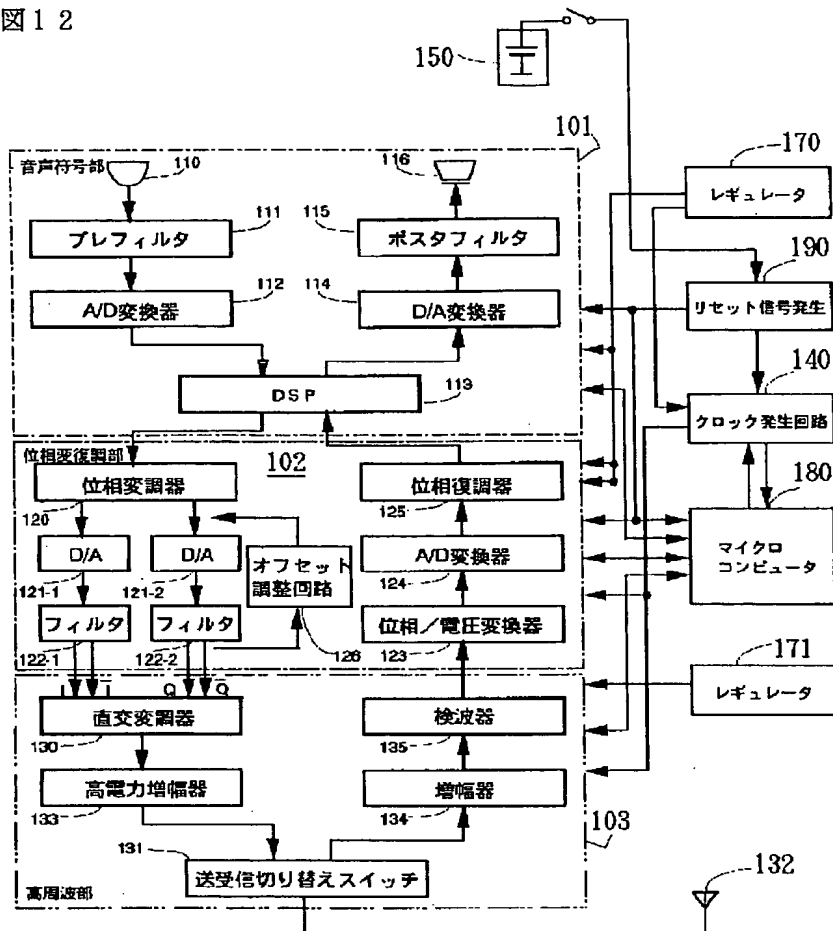
【図 11】

図 11

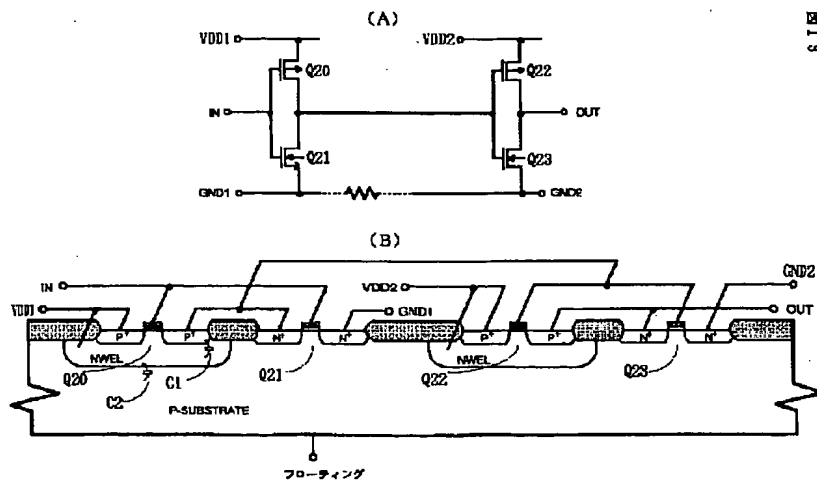


【図 12】

図 12



【図 13】



フロントページの続き

(51) Int. Cl.⁶
H 0 1 L 21/822

識別記号 庁内整理番号 F I

技術表示箇所

(72) 発明者 岡崎 孝男
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内